

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-226985

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)9月10日

H 04 N 7/137

Z

6957-5C

審査請求 未請求 請求項の数 6 (全13頁)

⑮ 発明の名称 ベクトル符号化復号化装置

⑯ 特 願 平1-47884

⑰ 出 願 平1(1989)2月28日

⑱ 発 明 者 新 原 高 水 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

⑲ 出 願 人 日本ビクター株式会社 神奈川県横浜市神奈川区守屋町3丁目12番地

## 明 細 書

## 1. 発明の名称

ベクトル符号化復号化装置

## 2. 特許請求の範囲

(1) 複数個のベクトルを不等長符号化するベクトル符号化装置において、前記複数個のベクトルを所定数のブロックに分割するブロック分割手段と、分割されたブロックに含まれるベクトルの同一性を判定するベクトル判定手段と、これによりすべてのベクトルが同一であると判定されたときには、その旨を表わす符号とそのベクトルを表わす符号とを割り当て、同一でないと判定されたときには、その旨を表わす符号を割り当てるとともに前記ブロック分割手段に分割指令を行ない、前記ブロック分割手段による分割が終了したときには、最終ブロック内の異なるベクトル毎に符号を割り当てる符号化手段とを備えたことを特徴とするベクトル符号化装置。

(2) Mフレーム間の動きベクトル(MV<sub>M</sub>)より推定されるフレーム間動きベクトル(MV<sub>I</sub>)と、このフ

レーム間動きベクトル(MV<sub>I</sub>)より適応的に動きベクトル(MV)を選択し、動き補償予測符号化を行なう際の動きベクトル(MV)の符号化においては、Mフレーム間の動きベクトル(MV<sub>M</sub>)より推定されるフレーム間動きベクトルが用いられた場合、1個の特定の符号を割り当て、フレーム間動きベクトル(MV<sub>I</sub>)が用いられた場合、そのフレーム間動きベクトル(MV<sub>I</sub>)を符号化することを特徴とするベクトル符号化装置。

(3) 請求項2記載のベクトル符号化装置において、前記動きベクトル(MV)を所定数のブロックに分割するブロック分割手段と、前記動きベクトル(MV)全体より分割されたブロックに含まれるベクトルの同一性を判定するベクトル判定手段と、これによりすべてのベクトルが同一であると判定されたときには、その旨を表わす符号とそのベクトルを表わす符号とを割り当て、同一でないと判定されたときには、その旨を表わす符号を割り当てるとともに前記ブロック分割手段に分割指令を行ない、前記ブロック分割手段による分割が

終了したときには、最終ブロック内のベクトル毎に符号を割り当てる符号化手段とを備えたことを特徴とするベクトル符号化装置。

(4) 請求項3記載のベクトル符号化装置において、ブロック内に異なるベクトルが存在する場合、前記フレーム間動きベクトル(MV<sub>i</sub>)の符号化においては、近傍ベクトルの内、一定の位置の近傍ベクトルとの差分ベクトルを符号化し、そのベクトルがMフレーム間の動きベクトル(MV<sub>M</sub>)である場合、近傍ベクトルの内、次の一定の位置の近傍ベクトルとの差分ベクトルを符号化し、Mフレーム間の動きベクトル(MV<sub>M</sub>)より推定される動きベクトルの符号化においては、その情報に符号を割り当てることを特徴とするベクトル符号化装置。

(5) 請求項3記載のベクトル符号化装置において、ブロック内に異なるベクトルが存在する場合、前記フレーム間動きベクトル(MV<sub>i</sub>)の符号化においては、一定ベクトルとの差分ベクトルを符号化し、Mフレーム間の動きベクトル(MV<sub>M</sub>)より

の復号画像の画素から新しく画像が合成され、現フレームと合成画像の差および動きベクトルの符号化が行なわれる。

また、復号化の操作においては、符号化された差分および動きベクトルの復号が行なわれるとともに、前フレームの復号画像を用いて現フレームの復号が行なわれる。

ところで、上述した動きベクトルの符号化復号化は、従来、動きベクトルに対する差分ベクトルを不等長符号化復号化するか、規定ベクトルとの差分ベクトルを不等長符号化復号化することによって行なわれていた。

例えば、特開昭57-199379号公報には、小さなベクトルに対しては短い符号を与え、大きなベクトルに対しては長い符号を与えるようにしたベクトル符号化装置が開示されている。

〔発明が解決しようとする課題〕

しかしながら、差分ベクトルに対して符号の割り当てを行なうと、特に背景のように一定の動きベクトルが群をなしている場合でも各ベクトルに

推定される動きベクトルの符号化においては、その情報に符号を割り当てるベクトル符号化装置。

(6) 請求項1～5のいずれかに記載のベクトル符号化装置によって符号化された符号を復号化するベクトル復号化装置。

### 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、ベクトルの符号化、復号化にかかわるものであり、特に、ディジタル動画画像の圧縮伸張の際に用いられるフレーム間符号化における動き補償に用いられる動きベクトルに好適なベクトル符号化復号化装置に関するものである。

〔従来の技術〕

ディジタル動画画像の高効率符号化の手法として、動き補償フレーム間予測符号化がある。この手法では、画素単位もしくは複数画素により構成されるブロック単位で、フレーム間での画像の動き、すなわち動きベクトルの検出が行なわれる。そして、この動きベクトルを用いて1フレーム前

対し最低1ビットの符号が必要とされるため、圧縮効率を向上させることができないという問題点が生ずる。

また、複数の手段によって得られたベクトルの符号化は、単に差分の符号化のみでは実現することとはできない。

更に、水平方向もしくは垂直方向に対しての差分を用いているため、伝送路における誤りの伝搬の影響が大きいという不都合もある。

本発明は、かかる点に鑑みてなされたもので、その目的は、符号化の圧縮効率の向上を図ることである。

他の目的は、複数の手段によって得られたベクトルの符号化復号化を良好に行なうことである。

更に他の目的は、伝送路における誤りの伝搬の程度の低減を図ることである。

〔課題を解決するための手段〕

本発明の主要な一つは、複数個のベクトルを不等長符号化するベクトル符号化装置において、前

記複数個のベクトルを所定数のブロックに分割するブロック分割手段と、分割されたブロックに含まれるベクトルの同一性を判定するベクトル判定手段と、これによりすべてのベクトルが同一であると判定されたときには、その旨を表わす符号とそのベクトルを表わす符号とを割り当て、同一でないと判定されたときには、その旨を表わす符号を割り当てるとともに前記ブロック分割手段に分割指令を行ない、前記ブロック分割手段による分割が終了したときには、最終ブロック内の異なるベクトル毎に符号を割り当てる符号化手段とを備えたことを特徴とするものである。

#### 〔作用〕

本発明によれば、符号化の対象となる複数個のベクトルが同一か否かが判定される。その結果、同一と判定されたときには、その旨とそのベクトルとが符号化される。同一でないと判定されたときは、その旨が符号化されるとともに、複数個のベクトルが適当なブロックに分割される。

そして、各ブロック毎に、上述した操作が行な

われ、ベクトルが同一でないと判定されたときは、再びブロックの分割が行なわれる。

これらの動作が繰り返されて最終ブロックとなると、そのブロック内のベクトル毎に符号化が行なわれる。

#### 〔実施例〕

以下、本発明の一実施例について、添付図面を参照しながら説明する。

#### <符号化の手法>

本実施例では、第2図に示すように、5フレーム単位の符号化セグメントSG毎に符号化が行なわれる。そして、この符号化セグメントSGの先頭フレームSHについてはフレーム内符号化が行なわれ、残り4フレームについては動き補償フレーム間符号化が行なわれる。

この場合において、符号化セグメントSG内の先頭フレームSHと、次の符号化セグメントSGの先頭フレームSHとの間のセグメント間動きベクトルMV5が求められる。そして、動き補償が行なわれる際には、フレーム間動きベクトルMVi( $i=0 \sim 3$ )

とセグメント間動きベクトルMV5とより推定される動きベクトルから適応的に選択された動きベクトルが用いられる。

#### <実施例の構成>

第1図には、このような実施例のブロック構成が示されている。同図において、デジタル化信号が入力されるセクタ10の出力側には、フレームメモリ12～22の入力側が各々接続されている。これらのフレームメモリ12～22の出力側は、いずれもセクタ24の入力側に接続されている。

次に、セクタ24の出力側は、セグメント間動きベクトル検出回路26、フレーム間動きベクトル検出回路28、動き補償回路30、フレーム内符号化回路32の入力側に各々接続されている。セグメント間動きベクトル検出回路26の出力側は、セグメント間動きベクトル符号化回路34、動きベクトル選択回路36の入力側に各々接続されており、フレーム間動きベクトル検出回路28の出力側も、動きベクトル検出回路36の

入力側に接続されている。

次に、動きベクトル選択回路36の一方の出力側は動きベクトル符号化回路38の入力側に接続されており、他方の出力側は動き補償回路30の入力側に接続されている。また、上述したフレーム内符号化回路32の一方の出力側は、フレーム内復号化回路40の入力側に接続されており、フレーム内復号化回路40の出力側は、動き補償回路30の入力側に接続されている。

この動き補償回路30の出力側は、差分符号化回路42の入力側に接続されており、この差分符号化回路42の出力側は、一方においてフレーム間復号化回路44の入力側に各々接続されている。このフレーム間復号化回路44の出力側は、動き補償回路30の入力側に接続されている。

更に、セグメント間動きベクトル符号化回路34、動きベクトル符号化回路38、差分符号化回路42、フレーム内符号化回路32の各出力側は、いずれもバッファ46の入力側に各々接続されている。

### ＜実施例の動作＞

次に、以上のように構成された実施例の概略の動作について説明する。最初に、デジタル化された入力画像Qは、セクタ10によって、フレームメモリ12～22に順に供給され格納される。

次に、セクタ24により、符号化セグメントSGの先頭フレームSHと次の符号化セグメントSGの先頭フレームSHとがフレームメモリ12～22から読み出され、セグメント間動きベクトル検出回路26に入力される。そして、ここで、セグメント間動きベクトルMV5が検出され、更に、セグメント間動きベクトル符号化回路34によってその符号化が行なわれる。

他方、先頭フレームSHは、フレーム内符号化回路32によって符号化が行なわれ、更に、これに基づいてフレーム内復号化回路40により符号化された画像の復号化が行なわれる。この復号画像は、次のフレームに対する動き補償フレーム間符号化に用いられるため、動き補償回路30に出力

される。そして、これによる動き補償後の差分は、差分符号化回路42によって符号化される。

更に、符号化セグメントSGの第2フレーム以降のフレームについては、順次セクタ24によってフレームメモリ14～22から読み出され、フレーム間動きベクトル検出回路28に入力される。そして、ここで、前フレームの復号画像を用いてフレーム間動きベクトルMViの検出が行なわれる。検出されたフレーム間動きベクトルMViは、セグメント間動きベクトルMV5とともに動きベクトル選択回路36に入力され、ここで動きベクトルMVの選択が適応的に行なわれる。

選択された動きベクトルMVは、動きベクトル符号化回路38に入力され、ここでその符号化が行なわれる。そして、この動きベクトル符号化回路38の出力と、差分符号化回路42の出力とによって、フレーム間復号化回路44によりフレーム間復号化が行なわれ、復号画像は動き補償回路30に入力される。

更に、この動き補償回路30には、動きベクトルMVも入力されており、この動きベクトルMVと前フレームの復号画像とを用いて、動き補償が行なわれる。

次に、セグメント間動きベクトル符号化回路34、動きベクトル符号化回路38、差分符号化回路42、フレーム内符号化回路32の各出力符号は、バッファ46に各々入力されて格納される。そして、ここで速度調整が行なわれた後、伝送路（図示せず）に各符号の出力が行なわれる。

### ＜セグメント間動きベクトルの符号化＞

次に、符号化回路34によるセグメント間動きベクトルMV5の符号化について、第3図～第7図を参照しながら説明する。入力画像Qの各画素ブロック毎に求められたセグメント間動きベクトルMV5は、第3図に示すように、 $8 \times 8$ ベクトルを単位とするマクロブロック $Bi, j$ に分割される。

セグメント間動きベクトルMV5の符号は、まず、第5図(A)に示すようになる。すなわち、マ

クロブロック $Bi, j$ 内のベクトルがすべて同じであれば、それを示す1ビットの先頭の識別ビットと、そのベクトルを不等長符号として得られる符号ビットとによって、符号が構成される。

次に、マクロブロック $Bi, j$ 内のベクトルがすべて同じでない場合、第5図(A)は識別ビットのみとなり、マクロブロック $Bi, j$ は $8 \times 4$ ベクトルのマクロブロック $Bi, j(k/2)$  ( $k=1, 2$ ) 2個に分割される（第4図(A), (B)参照）。そして、各分割マクロブロック $Bi, j(k/2)$ 毎に生成される識別ビットおよび符号ビットは、第5図(B)に示すように、先に生成された同図(A)の符号の後部に付加結合される。分割された各マクロブロック $Bi, j(k/2)$ に対する各符号ビットに対し、同様に識別ビットが1ビットずつ設けられ、残りの符号ビットを各マクロブロック $Bi, j(k/2)$ のベクトルに対し符号化割り当てを行なう。

以上の処理が繰り返し行なわれ、マクロブロック $Bi, j(k/2)$ は、第4図(C), (D)に示すようにマクロブロック $Bi, j, k(l/2)$  ( $l=1, 2$ ),  $Bi, j, k$ ,

4 ( $m/2$ ) ( $m=1, 2$ )に分割され、他方、各分割マクロブロック毎に生成される識別ビットおよび符号ビットは、第5図(C)、(D)に各々示すように、先に生成された同図(B)、(C)の符号の後部に各々付加結合される。このようなマクロブロックの分割符号化によって、 $8 \times 8$ ベクトルのブロックの符号化が行なわれる。

なお、マクロブロック $B_{i,j}$ の分割を規定の大きさで止め、第9図に示す方向に従ってベクトルの差分をとり、差分ベクトルの不等長符号化を行なうことも可能である。この場合には、第3図のマクロブロック $B_{1,1}$ を分割して生成されるマクロブロックのうち、画像の左上のマクロブロックは零ベクトルを初期値とし、画像の左端のマクロブロックは1ブロック上のベクトルを初期値とし、それ以外のマクロブロックは、1ブロック左のベクトルを初期値とする。

次に、第3図～第5図に示したマクロブロックの分割符号化の例について、第6図および第7図を参照しながら説明する。第6図(A)には、 $8 \times$

に、ブロックの階層的なマクロブロックへの結合を行なって、動きベクトルMVの符号化が行なわれる。

ただし、マクロブロックの分割を規定の大きさのブロックにて止める場合であって、マクロブロック中に推定ベクトルが含まれている場合の処理は、以下に示すようになる。まず、第10図(A)に示すように、前ベクトルMVA(推定ベクトルを含む)と今回の推定ベクトルMVBとの差分ベクトル $MV \Delta AB$ には、推定ベクトルMVBの符号が割り当てられる。

また、同図(B)に示すように、前ベクトルと今回のベクトル(推定ベクトルは除く)の差分ベクトルについては、次のように符号化を行なう。まず、ベクトル $b_0$ の前ベクトルが推定ベクトルである場合は、ベクトル $b_1$ と前ベクトルとの差分ベクトルが符号化される。ベクトル $b_0, b_1$ ともに推定ベクトルである場合、ベクトル $b_2$ が符号化される。ベクトル $b_0, b_1, b_2$ ともに推定ベクトルである場合、零ベクトルとの差分が符号化される。

$8$ ベクトルのブロック内のすべてのベクトルがV0である場合が示されている。ブロック内のベクトルがすべて同じである場合の識別ビットを「0」とし、ベクトル $V_i$ の不等長符号を $CV_i$ とすると、セグメント間動きベクトルMV5の符号全体は同図(B)に示すようになる。

次に、 $8 \times 8$ ベクトルのマクロブロック内のベクトルが、第7図(A)に示すような分布である場合のセグメント間動きベクトルMV5の符号は、同図(B)に示すようになる。また、マクロブロックの分割の繰り返しにより生成される識別ビットの二進木構造は、第8図に示すようになる。

#### <動きベクトルの符号化>

次に、動きベクトル符号化回路38の動作について説明する。セグメント間動きベクトルMV5に基づく推定ベクトルが動きベクトル選択回路36によって選択された場合には、動きベクトル符号化回路38において1個の符号が割り当てられる。そして、上述したセグメント間動きベクトルMV5の符号化(第3図～第7図参照)と同様

#### <符号系の具体例>

次に、第11図を参照しながら、上述したベクトルのマクロブロックへの階層的な結合を行なう符号系の具体例について説明する。

同図において、ベクトルメモリ50の出力側は、一方においてベクトルレジスタVRa( $a=5, 4, 3, 2, 1, 0$ )の出力側とともにアドレス発生回路52の入力側に接続されており、他方の出力側は比較回路CP5の入力側に接続されている。

比較回路CPb( $b=5, 4, 3, 2, 1, 0$ )の出力側は、ベクトルレジスタVRaおよびフラグレジスタFRc( $c=5, 4, 3, 2, 1, 0$ )の入力側に各々接続されており、フラグレジスタFRcの出力側は、いずれもアドレス発生回路52の入力側に接続されている。また、ベクトルレジスタVRa( $a=5, 4, 3, 2, 1$ )の他方の出力側は、比較回路CPb( $b=4, 3, 2, 1, 0$ )の入力側に接続されている。

アドレス発生回路52の他の入力側には、フラグ判定回路54の一方の出力側が接続されており、アドレス発生回路52の出力側は、比較回路

CPb(b=5.4.3.2.1.0)、フラグ判定回路54、および不等長符号化回路56の入力側に各々接続されている。そして、フラグ判定回路54、不等長符号化回路56の出力側は、いずれもバッファ58の入力側に接続されている。

次に、以上のような符号系の動作について、上述した第7図(A)の場合を例として説明する。まず、比較回路CP5によって、アドレス発生回路52から入力されたアドレスを用いてベクトルメモリ50から8×8ブロックのベクトル(第13図(A)参照)が読み出される。そして、第12図(A)に示す32個のマクロブロック毎に、ベクトルが同一であるか否かが判定される。

その判定の結果、同一であれば論理値の「0」、同一でなければ論理値の「1」の判定結果が第13図(B)に示すようにフラグレジスタFR5にセットされる。そして更に、同一であると判定された場合、そのベクトルがベクトルレジスタVR5の対応する位置に入力され、同一でないと判定された場合、ベクトルレジスタVR5の対応す

る位置にそのベクトルのアドレスが入力される。例えば、同図中の「P6」が該当する。

次に、比較回路CP4では、同様に、アドレス発生回路52から入力されたアドレスを用いて、第12図(B)に示すマクロブロックに対応するベクトルが2個ずつ読み出され比較される。そして、比較結果は、同様に、フラグレジスタFR4にセットされ、ベクトルあるいはアドレスがベクトルレジスタVR4に入力される(第13図(C)参照)。

以上の動作が繰り返されると、ベクトルレジスタVRa、フラグレジスタFRcの内容は、第13図に示すようになる。そして、この状態、すなわちすべてのレジスタがセットされた状態で、図中に矢印で示すように逆方向にサーチを行なうことで、第7図(B)の符号化が行なわれる。すなわち、フラグレジスタFRI(i=0.1.2.3.4)にセットされているフラグがアドレス発生回路52によって読み出され、フラグ判定回路54で判定される。

その結果、論理値の「0」の場合、それがバッファ58に出力される。また、対応するベクトルレジスタVRiのベクトルが読み出され、不等長符号化回路56でその不等長符号化が行なわれ、バッファ58に出力される。これに対し、論理値が「1」の場合は、それがバッファ58に出力される。また、対応するアドレスがベクトルレジスタVRiから読み出され、アドレス発生回路52によってフラグレジスタFRI+1の読み出しアドレスに用いられ、ベクトルが読み出される。なお、フラグレジスタFR5では、ベクトルメモリ50の読み出しアドレスに用いられる。

具体的に第7図(A)、(B)の例に即して説明すると、フラグレジスタFR0の論理値は「1」である。このため、論理値「1」がフラグ判定回路54からバッファ58に送られるとともに、ベクトルレジスタVR0中のアドレスP0がアドレス発生回路52に記憶される。

次に、フラグレジスタFR1においてアドレスP0が示すフラグ(第13図中の矢印YA、YB参照)

が順次読み出される。最初のフラグ(矢印FA)は、論理値の「0」である。このため、これがバッファ58に送出されるとともに、ベクトルレジスタVR0からベクトルV0が読み出されて不等長符号化回路56により符号化される。符号化されたベクトルV0は、バッファ58に送出される。次のフラグ(矢印FB)は、「1」である。このため、「0」がバッファ58に送出されるとともに、ベクトルレジスタVR0からアドレスP1が読み出され、これがアドレス発生回路52に記憶される。

同様に、フラグレジスタFR2において、前記アドレスP1が示すフラグ(同図中の矢印YC、YD参照)が順次読み出される。そして、上述した処理により、バッファ58には、『1、0、CV1』が入力される。

更に、フラグレジスタFR3に対する処理により、『0、CV2、1』が入力される。

次に、フラグレジスタFR4では、フラグが両方とも「1」であるため、バッファ58には『1、

1』が入力され、アドレス発生回路52にはアドレスP4、P5が各々記憶される。

次に、フラグレジスタFR5では、まず、アドレス発生回路52のアドレスP4に対応するベクトルの処理が同様にこなわれ、次にアドレスP5に対応するベクトルの処理が続けて行なわれる。その結果、バッファ58には、『0、CV3、0、CV4、0、CV5、1』が入力される。

最後に、同様にして、ベクトルレジスタVR5中のアドレスP6に対応するベクトルがベクトルメモリ50から読み出され処理が行なわれる。その結果、バッファ58には、『0、CV6、0、CV7』が入力される。なお、ベクトルV6、V7とも終端であるため、『0』は省略可能である。

以上の処理により、第7図(B)に示す符号がバッファ58から出力されることとなる。

#### <復号系の具体例>

次に、以上のような符号系に対応する復号系の具体例について、第14図を参照しながら説明する。同図において、バッファ60の出力側は、一

方において不等長復号回路62の入力側に接続されており、他方においてフラグ判定回路64の入力側に接続されている。このフラグ判定回路64の一方の出力側は、バッファ60の入力側に接続されており、他方の出力側は、不等長復号回路62の出力側とともにアドレス発生回路66の入力側に接続されている。

次に、アドレス発生回路66の第1の出力側はベクトルレジスタVRd(d=0、1、2、3、4、5)およびベクトルメモリ68の入力側に各々接続されており、第2の出力側はフラグレジスタFRe(e=0、1、2、3、4、5)の入力側に各々接続されており、第3の出力側は制御回路CTLf(f=0、1、2、3、4、5)の入力側に各々接続されている。次に、ベクトルレジスタVRd、フラグレジスタFReの出力側は、制御回路CTLfの入力側に各々接続されており、制御回路CTL5の出力側はベクトルメモリ68の入力側に接続されている。

次に、以上のように構成された復号系の動作について説明する。バッファ60に格納されている

符号は、それがフラグの場合にはフラグ判定回路64に出力され、フラグが「0」の場合にそれに続く符号は不等長復号回路62に出力される。フラグは、フラグ判定回路64によって判定される。

その結果、フラグレジスタFRi(i=1、2、3、4、5)フラグが「0」の場合は、それが対応するフラグレジスタFRiにセットされる。続いて、バッファ60から出力された符号が不等長復号回路62によって復号化され、復号化されたベクトルがベクトルレジスタVRi(i=1、2、3、4、5)の対応するアドレスにセットされる。

また、フラグが「1」の場合は、それが対応するフラグレジスタFRiにセットされる。続いて、フラグレジスタFRi+1の対応するアドレスがフラグレジスタFRiの対応するアドレスにセットされる。次に、フラグレジスタFRi-1のフラグが読み出され、これが論理値の「0」の場合、制御回路CTLiを通してフラグレジスタFRiの対応する2個のアドレスに「0」がセットされ、ベクトルレジ

スタVRi-1に対応するベクトルがベクトルレジスタVRiの対応する2個のアドレスにセットされる。

以上の処理が繰り返し行なわれ、ベクトルメモリ68に復号化されたベクトルがセットされて出力されることとなる。

具体的に第7図(A)、(B)の例に即して説明すると、最初の符号は論理値の「1」である。このため、フラグレジスタFR0には「1」がセットされ、第13図に矢印で示したアドレスがアドレス発生回路66にセットされる。

次の符号は論理値の「0」である。このため、フラグレジスタFR1のP0に対応するアドレスにその論理値「0」がセットされる。そして、次の符号CV0が不等長復号回路62によって復号化され、V0がベクトルレジスタVR1の対応するアドレスにセットされる。

次に、符号CV0に続く符号はフラグであり、これは「1」である。このため、フラグレジスタFR0と同様にフラグレジスタFR1に「1」がセッ

トされ、アドレスPIがアドレス発生回路66にセットされて、フラグレジスタFR0が調べられる。これが「1」であるため、フラグレジスタFR1での処理は終了する。

次に、フラグレジスタFR2の処理が行なわれる。最初の符号は、論理値の「1」である。このため、アドレス発生回路66にセットされているアドレスPIが用いられて、対応するフラグレジスタFR1に「1」がセットされる。また、次の符号が「0」であり、その次の符号が「CVI」である。このため、フラグレジスタFR1における処理と同様に、フラグレジスタFR2、ベクトルレジスタVR2の所定のアドレスに対応する符号がセットされる。

更に、フラグレジスタFR1のフラグの値が調べられる。すると、論理値が「0」であるため、この「0」のアドレスに対応するベクトルレジスタVR1のベクトルV0が、フラグレジスタFR1のアドレスに対応するフラグレジスタFR2の2個のアドレスのレジスタにセットされる。

(2) 更に、マクロブロック単位の動きベクトルの符号化が行なわれるため、伝送路における誤りの伝搬は、マクロブロック内にとどめることが可能となる。

#### <他の実施例>

なお、本発明は、何ら上記実施例に限定されるものではなく、例えば、第11図に示した符号系を、第15図に示すように構成してもよい。この構成例は、ベクトルレジスタ70、フラグレジスタ72をいずれも一つのメモリで構成し、また、比較回路74も共通に構成したものである。

また、第14図に示した復号系を、第16図に示すように構成してもよい。この構成例も、ベクトルレジスタ80、フラグレジスタ82をいずれも一つのメモリで構成し、また、制御回路84も共通に構成したものである。

いずれも、動作は上述した通りであるが、回路構成は大幅に簡略化される。

また、上記実施例は、テレビジョン信号のディジタル化において用いられる動きベクトルが対象

以上の処理が繰り返されて、ベクトルメモリ68上に64個のベクトルがセットされ、これが出力される。

#### <実施例の効果>

以上のように、本実施例によれば、次のような効果がある。

(1) 従来の手法では、差分ベクトルに対して符号の割り当てが行なわれるため、各ベクトルに対し最低1ビットの符号が必要とされる。このため、圧縮効率を上げることができないなどの不都合がある。

これに対し、本実施例では、ブロックの統合による動きベクトルの階層的符号化が行なわれる。このため、特に背景のような画像における一定の動きベクトルのような場合や、形の変化の少ない物体の移動などの場合等の従来の手法では圧縮効率を上げることができない部分において、大幅な圧縮効率の向上を図ることができ、また、複数の手段により得られたベクトルの符号化を行なうことが可能となる。

としているが、その他のベクトル量を対象としてもよい。

#### [発明の効果]

以上説明したように、本発明によれば、符号化の圧縮効率の向上を図ることができるとともに、複数の手段によって得られたベクトルの符号化復号化を良好に行なうことができ、更には、伝送路における誤りの伝搬の程度の低減を図ることができるといふ効果がある。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示す符号系の全体構成図、第2図～第8図は前記実施例における符号化の手法を示す説明図、第9図および第10図は他の符号化の手法を示す説明図、第11図は符号系の構成例を示すブロック図、第12図および第13図は第11図の符号系の動作を示す説明図、第14図は第11図の符号系に対応する復号系を示すブロック図、第15図および第16図は他の実施例を示すブロック図である。

10、24—セクタ、12～22—フレーム

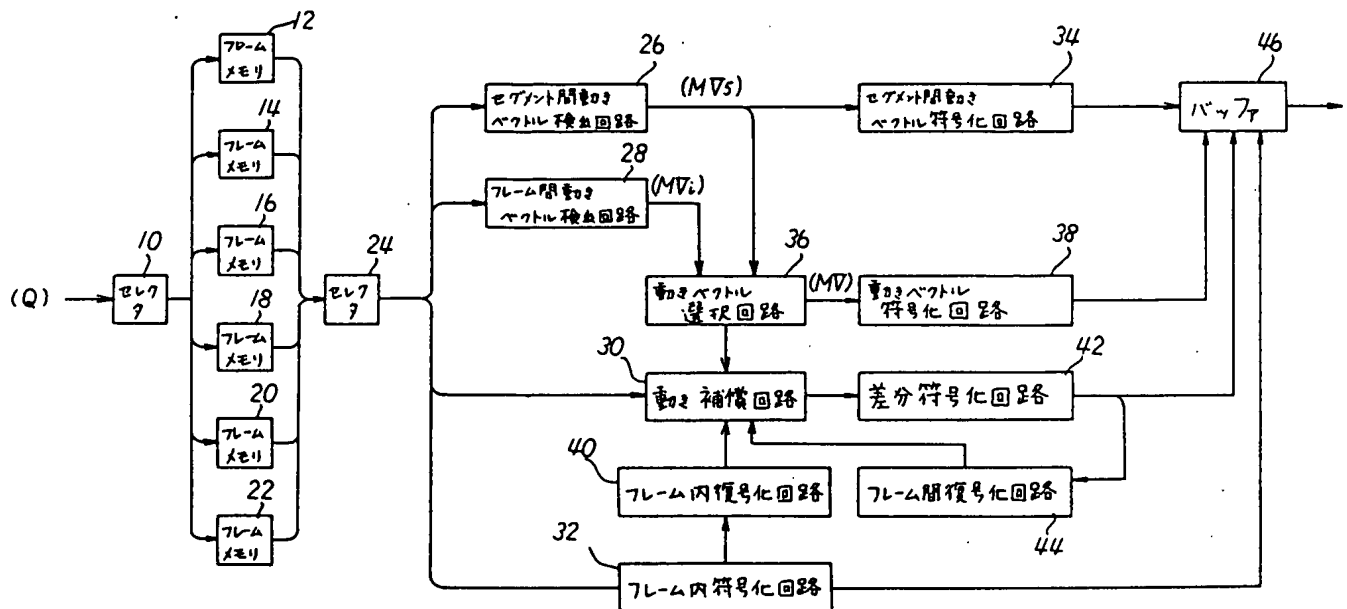


メモリ、26…セグメント間動きベクトル検出回路、28…フレーム間動きベクトル検出回路、30…動き補償回路、32…フレーム内符号化回路、34…セグメント間動きベクトル符号化回路、36…動きベクトル選択回路、38…動きベクトル符号化回路、40…フレーム内復号化回路、42…差分符号化回路、44…フレーム内復号化回路、46…バッファ。

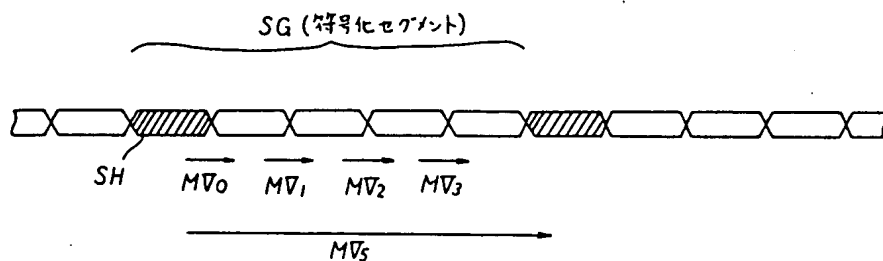
特許出願人 日本ビクター株式会社

代表者 垣 木 邦 夫

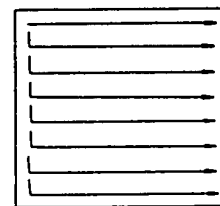
第 1 図



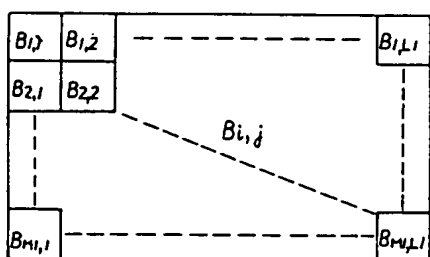
第 2 図



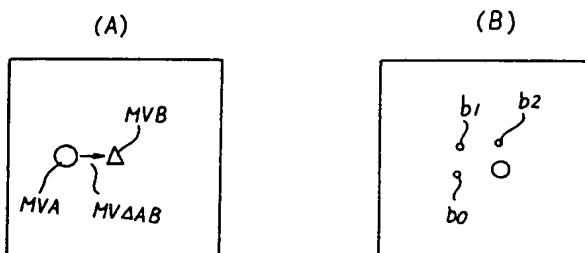
第 9 図



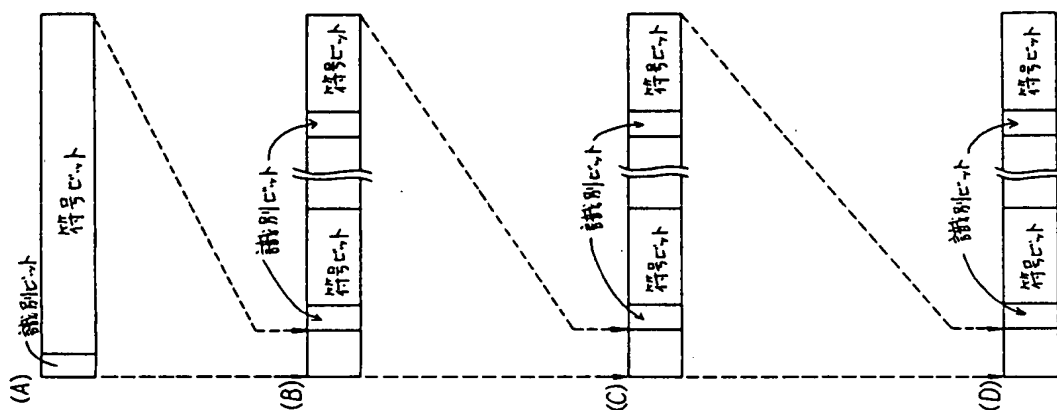
第 3 図



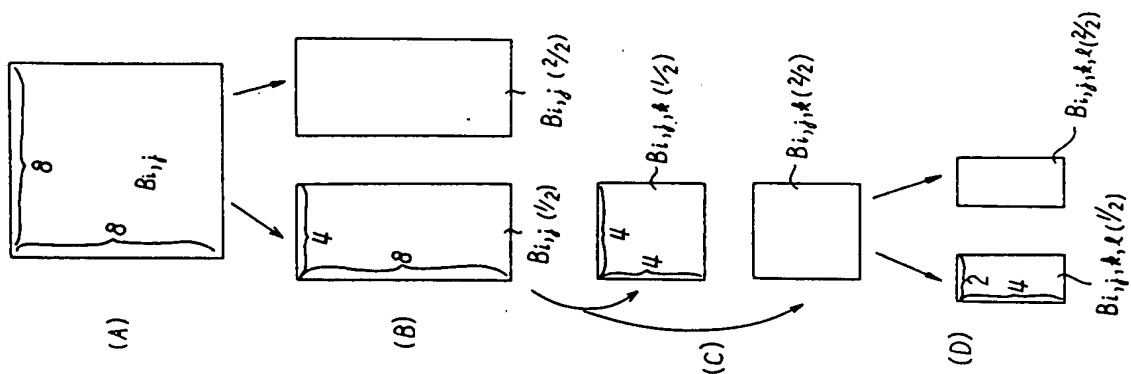
第 10 図



第 5 図

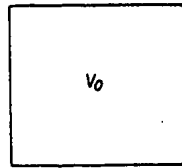


第 4 図



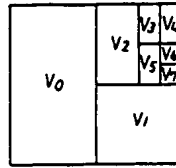
第 6 図

(A)



第 7 図

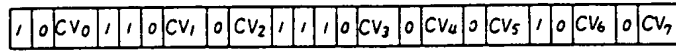
(A)



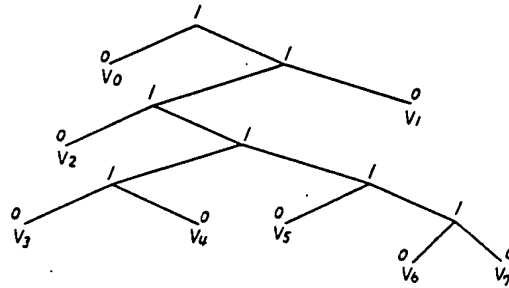
(B) 

0	CV <sub>4</sub>
---	-----------------

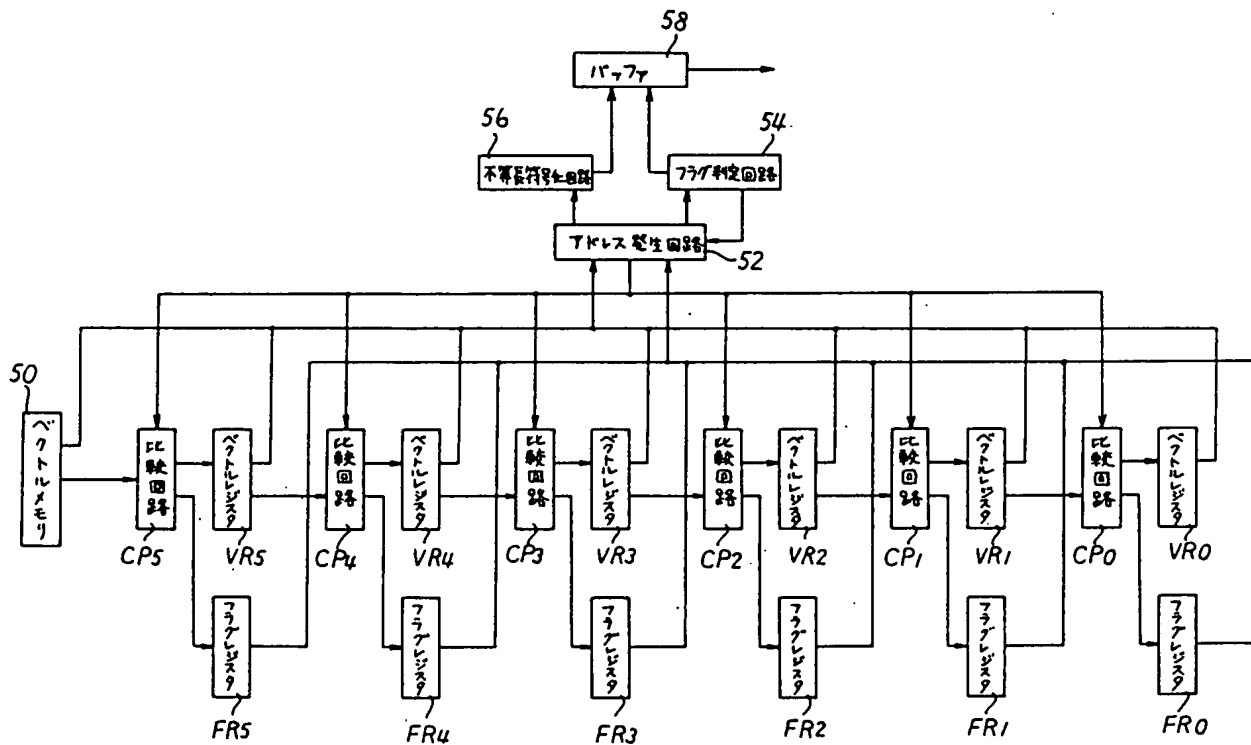
(B)



第 8 図

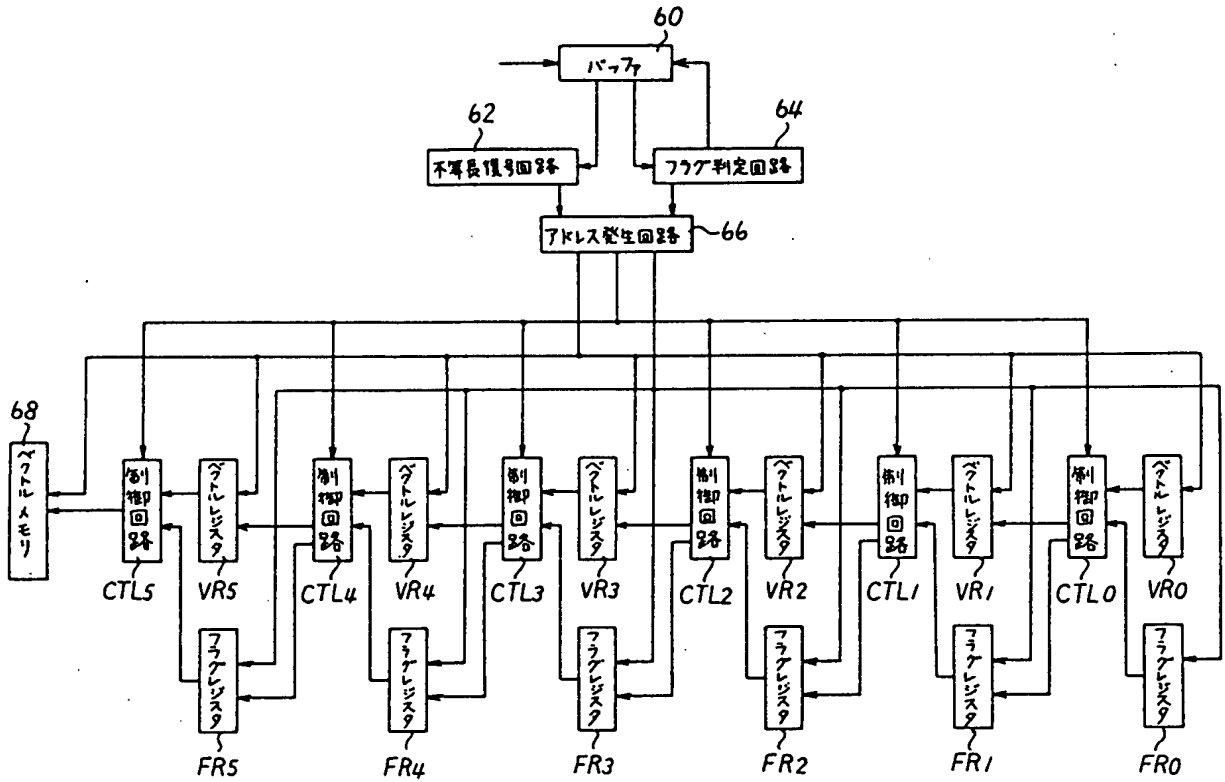


第 11 図

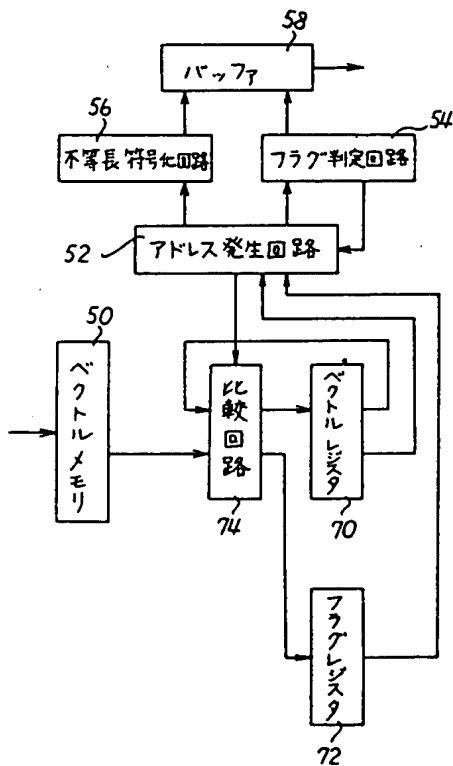




第 14 図



第 15 図



第 16 図

